

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-013124

(43)Date of publication of application : 17.01.1990

(51)Int.Cl.

H03K 19/177

H03K 23/66

(21)Application number : 63-163389

(71)Applicant : KAWASAKI STEEL CORP

(22)Date of filing : 30.06.1988

(72)Inventor : KEIDA HISAYA

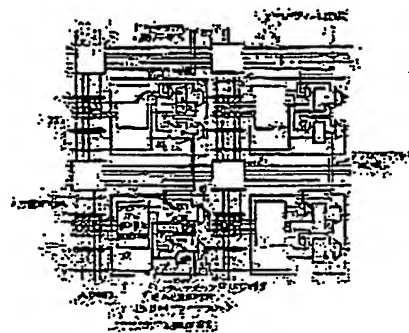
(54) PROGRAMMABLE LOGIC ELEMENT

(57)Abstract:

PURPOSE: To speed up an operating frequency by giving an input/output signal of each flip-flop directly from a selection means not through a programmable wiring or the like causing much delay time.

CONSTITUTION: Selection means 15, 16 for an input signal to flip-flops 13, 14 are provided and an output signal of an adjacent flip-flop is inputted through the said selection to connect the flip-flops in cascade.

The flip-flop of the final stage of a programmable logic element receives its output signal through an exclusive connection line by the selection of a selection means of the 1st flip-flop of an adjacent programmable logic element similarly to attain mutual connection. The input/output signals of the flip-flops 13, 14 are connected together not through the input terminal of the programmable logic element or the programmable wiring with a large delay time in this way, then the operating frequency of the circuit realized by the connection of the flip-flops is quickened.



X2ITC 107284

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-13124

⑬ Int. Cl.⁶

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)1月17日

H 03 K 19/177
23/66

B

7328-5 J
6332-5 J

審査請求 未請求 請求項の数 1 (全6頁)

⑮ 発明の名称 プログラマブル論理素子

⑯ 特 願 昭63-163389

⑰ 出 願 昭63(1988)6月30日

⑱ 発 明 者 廣 田 久 彌 千葉県千葉市川崎町1番地 川崎製鉄株式会社技術研究本部内

⑲ 出 願 人 川崎製鉄株式会社 兵庫県神戸市中央区北本町通1丁目1番28号

⑳ 代 理 人 弁理士 志賀 富士弥

明 細 書

1. 発明の名称

プログラマブル論理素子

2. 特許請求の範囲

(1) プログラムすることにより任意の論理回路を構成可能なプログラマブル論理素子を複数個有し、かつそれらのプログラマブル論理素子の入力端子および出力端子を相互に自由に接続可能にするプログラマブル配線を行うプログラマブル論理素子において、

上記プログラマブル論理素子がN個のフリップフロップを有し、

上記各フリップフロップがそのフリップフロップの入力端子に対する入力信号の選択手段を有し、

上記1番目のフリップフロップの選択手段の入力端子の一部が隣接するプログラマブル論理素子のN番目のフリップフロップの正転出力信号および/または反転出力信号の出力端子に上記プログラマブル配線とは別に直接接続され、

上記2番目からN番目までの1番目のフリップ

フロップの選択手段の入力端子の一部が1-1番目のフリップフロップの正転出力信号および/または反転出力信号の出力端子に接続されていることを特徴とするプログラマブル論理素子。

3. 発明の詳細な説明

[汎用上の利用分野]

本発明は、複数のフリップフロップを備えたプログラマブル論理素子を複数個含むプログラマブル論理素子に関し、特にプログラマブル論理素子の各フリップフロップの入出力信号を相互に接続して実現される回路を高速度化するプログラマブル論理素子に関するものである。

[従来の技術]

従来より、ユーザが手元においてプログラムすることによって任意の論理回路を構成可能なプログラマブル論理素子を複数個有し、かつそれらのプログラマブル論理素子の入力端子および出力端子を相互に自由に接続可能にするプログラマブル配線を行うことにより、所望の機能を得ることができるプログラマブル論理素子が知られている。

特開平2-13124 (2)

例えば、その一例として、特開昭51-1989
19号公报や特開昭51-224520号公报に
開示されたものがある。

第4図は上記プログラマブル論理要素が複数(図
では2個)のフリップフロップを有する従来のプ
ログラマブル論理素子の回路構成図である。この
従来のプログラマブル論理素子は、複数個のプ
ログラマブル論理要素101を有し、これらの間
に接続に配線したプログラマブル配線111を有
している。プログラマブル論理要素101は、プ
ログラマブル組み合わせ論理生成部102と、こ
のプログラマブル組み合わせ論理生成部102の
出力を入力信号とする2個のフリップフロップ1
03、104と、プログラマブル論理要素の出力
端子105に対しフリップフロップ103、10
4の出力信号またはプログラマブル組み合わせ論
理生成部102の出力信号のいずれかを選択して
出力する出力選択回路106、107から成って
いる。また、プログラマブル配線111は、接続
の配線が交差する点に外配線間を自由に接続可能

にするスイッチアレイ112と、各プログラマ
ブル論理要素101の入力端子108および出力端
子105を各配線に自由に接続可能にする入出力
スイッチアレイ113とを備えている。

第5図は、第4図の従来のプログラマブル論
理素子により4ビットのカウント回路を構成した場
合の接続図である。従来のプログラマブル論理素
子101のフリップフロップ103、104のそ
れぞれの出力信号は、プログラマブル組み合わせ
論理生成部102の出力信号との出力選択回路
106、107を経て、プログラマブル論理要素
101の出力端子105に接続されているので、
一つのフリップフロップ103の出力信号を他の
プログラマブル論理要素101に入力する場合
はもちろんのこと、同じプログラマブル論理要素1
01の他のフリップフロップ104に入力したい
場合にも、プログラマブル配線111を介して結
線する必要がある。このため、4個のフリップフ
ロップを接続して第2図に示すような4ビットの
カウント回路を形成する場合、従来の第5図に太
線で示すようにそれぞれのスイッチアレイ112
および入出力スイッチアレイ113、プログラマ
ブル組み合わせ論理生成部102、出力選択回路
106、107をプログラムすることにより、プ
ログラマブル論理要素101の出力端子105を
プログラマブル配線111を介して再び元のあ
るいは他のプログラマブル論理要素101の入力端
子108即ちプログラマブル組み合わせ論理生成
部102の入力に接続することを繰り返して構成
する必要がある。

【発明が解決しようとする課題】

しかしながら、上記従来の技術におけるプログ
ラマブル論理素子では、プログラマブル論理要素
のフリップフロップの出力信号を同一または他の
プログラマブル論理要素のフリップフロップに結
線してカウント回路等を構成する場合、フリップ
フロップの出力信号を比較的大きな遅延時間を行
うプログラマブル配線111やプログラマブル
組み合わせ論理生成部102を介して結線する必
要があるため、その動作周波数が遅くなるという

問題点があった。

本発明は、上記問題点を解決するために創案さ
れたもので、複数のフリップフロップを備えたプ
ログラマブル論理要素を複数個含むプログラマ
ブル論理素子において、その各フリップフロップの
入出力信号を相互に接続することにより実現する
回路の動作周波数を高速にすることができるとプ
ログラマブル論理素子を提供することを目的とする。

【課題を解決するための手段】

上記の目的を達成するための本発明のプログラ
マブル論理素子の構成は、

プログラムすることにより任意の論理回路を構
成可能なプログラマブル論理要素を複数個有し、
かつそれらのプログラマブル論理要素の入力端子
および出力端子を相互に自由に接続可能にするプ
ログラマブル配線を有するプログラマブル論理素
子において、

上記プログラマブル論理要素がN個のフリップ
フロップを有し、

上記各フリップフロップがそのフリップフロ

特開平2-13124 (3)

ブの入力端子に対する入力信号の選択手段を有し、上記1番目のフリップフロップの選択手段の入力端子の一部が接続するプログラマブル論理要素のN番目のフリップフロップの正転出力信号および/または反転出力信号の出力端子に上記プログラマブル配線とは別に接続接続され、

上記2番目からN番目までの1番目のフリップフロップの選択手段の入力端子の一部が1-1番目のフリップフロップの正転出力信号および/または反転出力信号の出力端子に接続されていることを特徴とする。

【作用】

本発明は、各フリップフロップの入力信号の選択手段を設け、その選択により切り合うフリップフロップの出力信号を入力してフリップフロップを接続に接続可能とする。一つのプログラマブル論理要素の最終番目のフリップフロップは、同様にしてその出力信号を外部の接続線で隣接プログラマブル論理要素の1番目のフリップフロップの選択手段の選択により入力して、相互接続を可

されその入力信号を選択する選択手段である入力選択回路15、16と、放電（図では2個）の出力端子17のそれぞれにフリップフロップ13、14の出力信号またはプログラマブル組み合わせ論理生成部12の出力信号のいずれかを選択して出力する出力選択回路18、19を備えて成る。ここで、1番目のフリップフロップ13の入力選択回路15の一部の入力端子には接続するプログラマブル論理要素1'の2番目（最終番目）のフリップフロップ14の正転出力信号Qおよび反転出力信号Q₁を選択して接続するとともに、他の入力端子にはプログラマブル組み合わせ論理生成部12の出力信号を接続する。また、2番目のフリップフロップ14の入力選択回路16の一部の入力端子には1番目のフリップフロップ13の正転出力信号Qおよび反転出力信号Q₁を別組に接続するとともに、他の入力端子にはプログラマブル組み合わせ論理生成部12の他の出力信号を接続する。2番目のフリップフロップ14の出力信号Q、Q₁は、必要により、さらに他の隣接プログラマブ

ルに接続する。このように、遅延時間の大きなプログラマブル配線やプログラマブル論理要素の入力端子を介さずに各フリップフロップの入出力信号同士を相互に接続することにより、それらのフリップフロップ同士の接続によって実現される回路の動作周波数を高周にする。

【実施例】

以下、本発明の実施例を図面に基づいて詳細に説明する。

第1図は本発明の一実施例を示すプログラマブル論理素子の回路構成図である。本実施例は、複数のプログラマブル論理要素1を有し、これらのプログラマブル論理要素1の間に接続に接続した複数のプログラマブル配線2を有している。

プログラマブル論理要素1は、プログラムにより入力端子11からの入力信号に対する任意の組み合わせ論理出力を生成するプログラマブル組み合わせ論理生成部12と、2個のDタイプフリップフロップ13、14と、この2個のフリップフロップ13、14のそれぞれのD入力端子に接続

するプログラマブル配線2の1番目のフリップフロップの入力選択回路へ直接接続される。

プログラマブル配線2は、接続の配線の交叉する部分にスイッチアレー21を設け、各プログラマブル論理要素1の入力端子11および出力端子17からの入出力線を上記配線の配線に交叉させその部分に入出力スイッチアレー22を設けて、それぞれプログラムすることにより各プログラマブル論理要素1の入出力信号を相互にかつ自由に接続可能にしている。フリップフロップ13、14の各クロック入力端子Cへのクロック信号は、入出力スイッチ22によりプログラマブル配線2に接続されて、このプログラマブル論理素子の内部または外部から供給される。

以上のように構成した実施例の作用を述べる。第2図はプログラマブル論理素子を用いて実現しようとする4ビットのカウント回路の回路図である。このカウンタ回路は、D入力端子を接続に接続した4個のDタイプフリップフロップ13（14）と、ANDゲート3およびNORゲート4と

特開平2-13124 (4)

を用いて構成されている。このカウンタ回路を本実施例のプログラマブル論理素子にプログラムすると、フリップフロップ13(14)の出力端子とD入力端子を直接に接続する部分は、第1図の太線で示されるように、各入力選択回路15を介して直接接続することができる。

第3図は、本実施例の効果を表す比較グラフであり、CMOSで作成した本実施例のプログラマブル論理素子で上記カウンタ回路をプログラムした場合の動作周波数と、第4図の従来例のCMOSのプログラマブル論理素子で上記カウンタ回路をプログラムした場合の動作周波数を、それぞれ電圧を変化させて測定したものである。本実施例によれば、各フリップフロップの入出力端子の相互接続を比較的大きな延滞時間を持つプログラマブル配線やプログラマブル組み合わせ論理構成を介さずに接続することができるので、測定結果で示されるように従来例に比べ約1:5倍の動作周波数が得られた。

なお、上記実施例においてDタイプフリップ

フロップ素子の回路構成図、第2図はプログラマブル論理素子を用いて実現するカウンタ回路の回路図、第3図は上記実施例と従来例の効果の比較グラフ図、第4図は従来例のプログラマブル論理素子の回路構成図、第5図は従来例のプログラマブル論理素子を使用した接続図である。

1—プログラマブル論理回路、2—プログラマブル配線、11—入力端子、13、14—Dタイプフリップフロップ、15、16—入力選択回路、17—出力端子。

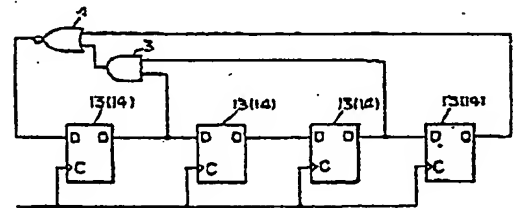
フロップは他の種類のフリップフロップを使用しても良く、その数も限定されるものではない。また、フリップフロップの出力信号は、正位出力信号と反転出力信号の一方だけを接続可能とする構成としても、本発明の目的が十分達成されることは明らかである。このように、本発明はその主旨に沿って種々に応用され、種々の実施態様を取り得るものである。

【発明の効果】

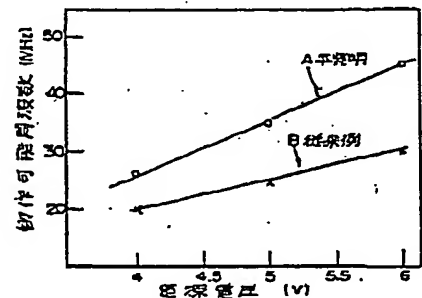
以上の説明で明らかなように、本発明のプログラマブル論理素子によれば、複数のフリップフロップを備えたプログラマブル論理素子を複数個含むプログラマブル論理素子において、その各フリップフロップの入出力信号を延滞時間の比較的大きいプログラマブル配線を介さずに選択手段を設けて直接に接続できるので、フリップフロップの相互接続により実現するカウンタ回路等の回路の動作周波数を高速にすることができる。

4. 図面の簡単な説明

第1図は本発明の一実施例を示すプログラム



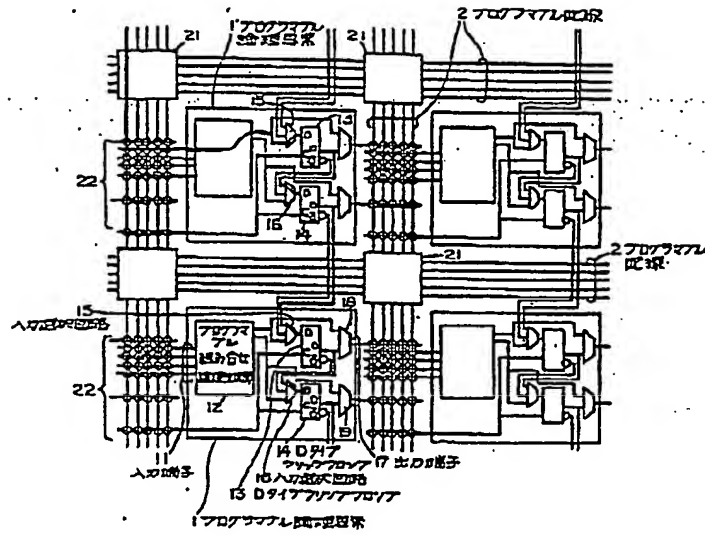
第2図



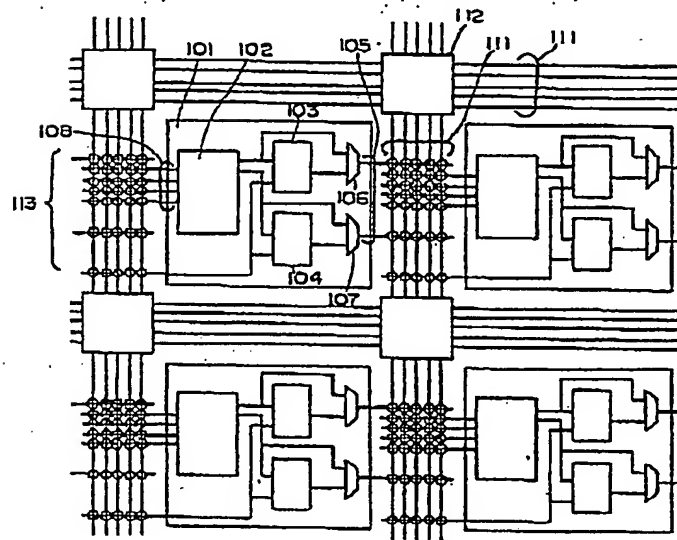
第3図

代理人 志賀 幸 士 郎

特開平2-13124 (5)



第 1 図

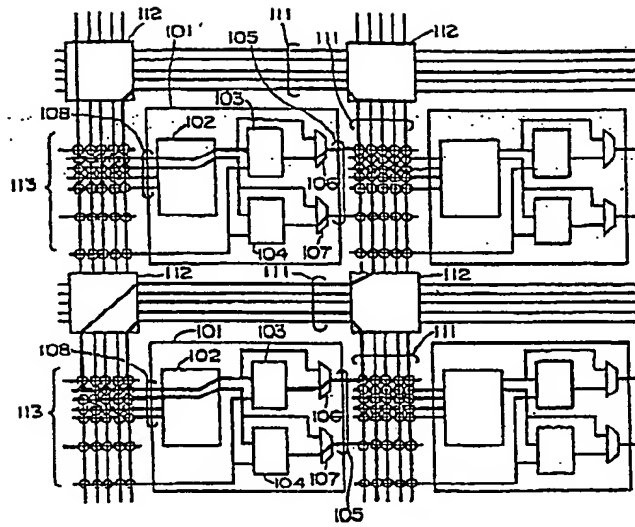


第 4 図

-123-

X2ITC 107289

特開平2-13124 (6)



第 5 図